

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 1 4 2 9 6

(43) 公開日 平成 8 年 (1996) 8 月 20 日

(51) Int. Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H04N 7/24

G11B 20/10

H03M 7/30

301

Z 7736-5D

Z 9382-5K

H04N 7/13

Z

審査請求 未請求 請求項の数 10 O L (全 22 頁)

(21) 出願番号 特願平 6 - 3 1 7 1 1 5
(22) 出願日 平成 6 年 (1994) 12 月 20 日
(31) 優先権主張番号 特願平 6 - 2 9 7 3 4 5
(32) 優先日 平 6 (1994) 11 月 30 日
(33) 優先権主張国 日本 (J P)

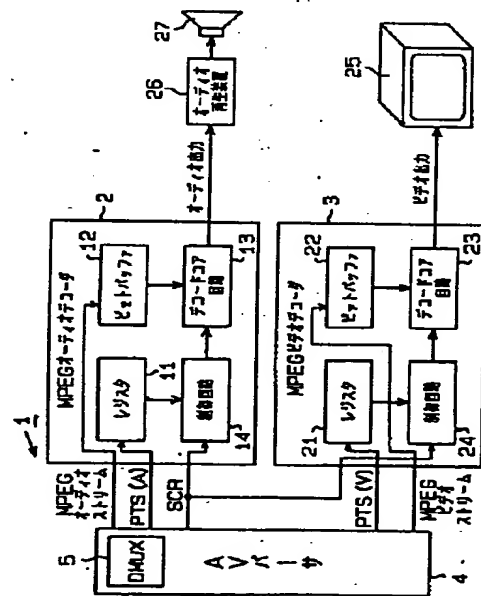
(71) 出願人 0 0 0 0 0 1 8 8 9
三洋電機株式会社
大阪府守口市京阪本通 2 丁目 5 番 5 号
(72) 発明者 岡田 茂之
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
(72) 発明者 山内 英樹
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 デコーダおよび M P E G システムデコーダ

(57) 【要約】

【目的】 オーディオ出力とビデオ出力の同期を十分に与ることが可能な M P E G システムデコーダを提供する。

【構成】 各デコーダ 2, 3 では、各デコーダ 2 におけるデコード処理時間と、S C R および P T S (オーディオの P T S (A)、ビデオの P T S (V)) とに基づいて各出力 (オーディオ出力、ビデオ出力) の再生時刻が設定される。各レジスタ 11, 21 から読み出された P T S は各制御回路 14, 24 へ転送され、各ビットバッファ 12, 22 から読み出されたビットストリームは各デコードコア回路 13, 23 へ転送される。各制御回路 14, 24 では、各デコーダ 2, 3 におけるデコード処理時間と、S C R および P T S とに基づいて各出力の再生時刻が計算される。各デコードコア回路 13, 23 では、M P E G の規格に準拠して各出力が生成される。その各出力の再生時刻は、各制御回路 14, 24 の計算結果に従って制御される。



【特許請求の範囲】

【請求項 1】 デコード回路に所定の動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効と判定するデコーダ。

【請求項 2】 外部から転送されてきた M P E G システムストリームについて、M P E G システムストリームのパケットヘッダに基づき、M P E G システムストリームを M P E G ビデオストリームと M P E G オーディオストリームに分離するデマルチプレクサと、

M P E G システムストリームから S C R とオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、

オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成される M P E G オーディオデコーダと、ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成される M P E G ビデオデコーダとを備えた M P E G システムデコーダであり、

前記オーディオレジスタは、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、

前記オーディオビットバッファは、デマルチプレクサから転送されてきたオーディオストリームを順次蓄積し、

前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームを M P E G オーディオパートに準拠してデコードし、オーディオ出力を生成し、

前記オーディオ制御回路は、M P E G オーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきた S C R と、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、

前記ビデオレジスタは、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、

前記ビデオビットバッファは、デマルチプレクサから転送されてきたビデオストリームを順次蓄積し、

前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームを M P E G ビデオパートに準拠してデコードし、ビデオ出力を生成し、

前記ビデオ制御回路は、M P E G ビデオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきた S C R と、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、

前記 M P E G オーディオデコーダは、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに基づいて第 2 のタイムスタンプを生成し、

前記ビデオ制御回路は、ビデオのタイムスタンプとピクチャとのマッピングを行い、ビデオデコードコア回路の内部遅延時間とビデオレジスタから読み出されたビデオのタイムスタンプと第 2 のタイムスタンプとに基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせ、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えた M P E G システムデコーダ。

【請求項 3】 外部から転送されてきた M P E G システムストリームについて、M P E G システムストリームのパケットヘッダに基づき、M P E G システムストリームを M P E G ビデオストリームと M P E G オーディオストリームに分離するデマルチプレクサと、

M P E G システムストリームから S C R とオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、

オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成される M P E G オーディオデコーダと、

ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成される M P E G ビデオデコーダとを備えた M P E G システムデコーダであり、

前記オーディオレジスタは、F I F O 構成で、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、

前記オーディオビットバッファは F I F O 構成の R A M から成り、デマルチプレクサから転送されてきたオーディオストリームを順次蓄積し、

前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームを M P E G オーディオパートに準拠してデコードし、オーディオ出力を生成し、

前記オーディオ制御回路は、ビットバッファからオーディオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とから M P E G オーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきた S C R と、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、

前記ビデオレジスタは、F I F O 構成で、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、前記ビデオビットバッファは F I F O 構成の R A M から成り、デマルチプレクサから転送されてきたビデオストリームを順次蓄積し、

前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成し、

前記ビデオ制御回路は、ビットバッファからビデオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とからMPEGビデオデコードにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、

前記MPEGオーディオデコーダは、遅延時間算出回路とオーディオ減算回路と加算回路とサンプリング周波数検出回路とを備えたタイムスタンプ生成回路を備え、

前記遅延時間算出回路は、オーディオビットバッファの内部遅延時間を算出し、

前記オーディオ減算回路は、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに基づいて、オーディオのタイムスタンプから各内部遅延時間の和を減算した値を生成し、

前記サンプリング周波数検出回路は、オーディオストリームからオーディオデータのサンプリング周波数を検出し、そのサンプリング周波数に対応したクロックを生成し、

前記加算回路は、オーディオ減算回路の生成した値と前記クロックを加算して第2のタイムスタンプを生成し、

前記ビデオ制御回路は、ライトアドレス検出回路とリードアドレス検出回路とピクチャヘッダ検出回路とマッピング回路と第2のレジスタと同期判定回路と第1および第2の比較処理回路と第1および第2のビデオ減算回路とを備え、

前記ライトアドレス検出回路は、外部から転送されてきたビデオストリームにおけるビデオのタイムスタンプが付加されていたバケットがビデオビットバッファに書き込まれるときに、そのバケットのビデオビットバッファにおけるアドレスを検出し、

前記ビデオレジスタは、ライトアドレス検出回路によって検出されたアドレスとビデオのタイムスタンプとを対応付けて順次蓄積し、

前記リードアドレス検出回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスを検出し、

前記ピクチャヘッダ検出回路は、ビデオビットバッファに書き込まれたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、そのピクチャヘッダに規定されているピクチャのタイプを検出し、

前記第1の比較処理回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスと、ビデオレ

ジスタから読み出されたビデオのタイムスタンプに対応するアドレスとを比較し、両アドレスが一致するかどうかを検出し、

前記マッピング回路は、第1の比較処理回路およびピクチャヘッダ検出回路の検出結果とに基づいて、ビデオのタイムスタンプとピクチャとのマッピングを行い、

前記第2のレジスタは1段のスタックで構成され、フレーム間予測技術に従い、ピクチャヘッダ検出回路によって検出されたピクチャのタイプに基づいて、IピクチャまたはPピクチャに対応するビデオのタイムスタンプを、Bピクチャに対応するビデオのタイムスタンプと入れ替え、

前記第1のビデオ減算回路は、ビデオデコードコア回路の内部遅延時間と外部から指定された第1の値と第2のレジスタから読み出されたビデオのタイムスタンプとに基づいて、ビデオのタイムスタンプから、内部遅延時間と外部から指定された第1の値の和を減算した値を生成し、

前記第2のビデオ減算回路は、タイムスタンプ生成回路から生成された第2のタイムスタンプから第1のビデオ減算回路の生成した値を減算した値を生成し、前記第2の比較処理回路は、外部から指定された第2の値と第2のビデオ減算回路の生成した値を比較し、

前記同期判定回路は、マッピング回路によってビデオのタイムスタンプとピクチャとのマッピングが行われると、第2の比較処理回路の比較結果に基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号を生成し、

前記ビデオデコードコア回路では、スキップ動作において、ビデオビットバッファから転送されてくるピクチャが廃棄され、その廃棄されたピクチャについてはデコードが行われず、リピート動作において、ビデオビットバッファから転送されてきたピクチャのビデオ出力が引き続き出力され、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えたMPEGシステムデコーダ。

【請求項4】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第1のスキップ有効化手段を備えたMPEGシステムデコーダ。

【請求項5】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が生成さ

10

20

30

40

50

れてから一定時間後に、その制御信号を有効化する第2のスキップ有効化手段を備えたMPEGシステムデコーダ。

【請求項6】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にリビート動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第1のリビート有効化手段を備えたMPEGシステムデコーダ。

【請求項7】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にリビート動作を行わせるための制御信号が生成されてから一定時間後に、その制御信号を有効化する第2のリビート有効化手段を備えたMPEGシステムデコーダ。

【請求項8】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されてい

れば、最初に生成されてから一定時間後に、その制御信号を有効化するスキップ判定回路を備えたMPEGシステムデコーダ。

【請求項9】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にリビート動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されてい

れば、最初に生成されてから一定時間後に、その制御信号を有効化するリビート判定回路を備えたMPEGシステムデコーダ。

【請求項10】 請求項2～9のいずれか1項に記載のMPEGシステムデコーダにおいて、

前記ビデオデコードコア回路のスキップ動作はBピクチャに対して優先的に行われるMPEGシステムデコーダ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデコーダおよびMPEG (Moving Picture Expert Group) システムデコーダに関するものである。

【0002】

【従来の技術】 マルチメディアで扱われる情報は、膨大な量でかつ、多種多様であり、これらの情報を高速に処理することがマルチメディアの実用化を図る上で必要となってくる。情報を高速に処理するためには、データの

圧縮・伸長技術が不可欠となる。そのようなデータの圧縮・伸長技術として「MPEG」方式が挙げられる。このMPEG方式は、ISO (International Organization for Standardization) / IEC (International Electrotechnical Commission) 傘下のMPEG委員会 (ISO/IEC JTC1/SC29/WG11) によって標準化されつつある。

【0003】 MPEGは3つのパートから構成されている。パート1の「MPEGシステムパート」(ISO/IEC IS 1172 Part1:Systems) では、ビデオデータとオーディオデータの多重化構造 (マルチプレクス・ストラクチャ) および同期方式が規定される。パート2の「MPEGビデオパート」(ISO/IEC IS 1172 Part2:Video) では、ビデオデータの高効率符号化方式、およびビデオデータのフォーマットが規定される。パート3の「MPEGオーディオパート」(ISO/IEC IS 1172 Part3:Audio) では、オーディオデータの高効率符号化方式、およびオーディオデータのフォーマットが規定される。

【0004】 また、MPEGには主にエンコードレートの違いにより、現在のところ、MPEG-1、MPEG-2の2つの方式がある。MPEGビデオパートで取り扱われるビデオデータは動画に関するものであり、その動画は1秒間に数十個 (例えば、30個) のフレームによって構成されている。ビデオデータは、シーケンス (Sequence)、GOP (Group Of Pictures)、ピクチャ、スライス (Slice)、マクロブロック (Macroblock)、ブロックの順に6層の階層構造から成る。MPEG-1においてフレームはピクチャに対応している。MPEG-2においては、フレーム又はフィールドをピクチャに対応させることもできる。フィールドは、2個で1つのフレームを構成している。ピクチャにフレームが対応している構造はフレーム構造と呼ばれ、ピクチャにフィールドが対応している構造はフィールド構造と呼ばれる。

【0005】 MPEGでは、フレーム間予測と呼ばれる圧縮技術を用いる。フレーム間予測は、フレーム間のデータを時間的な相関に基づいて圧縮する。フレーム間予測では、双方向予測が行われる。双方向予測とは、過去の再生画像 (又は、ピクチャ) から現在の再生画像を予測する順方向予測と、未来の再生画像から現在の再生画像を予測する逆方向予測とを併用することである。

【0006】 この双方向予測は、Iピクチャ (Intra-Picture)、Pピクチャ (Predictive-Picture)、Bピクチャ (Bidirectionally predictive-Picture) と呼ばれる3つのタイプのピクチャを規定している。Iピクチャは、過去や未来の再生画像とは無関係に、独立して生成される。Pピクチャは順方向予測 (過去のIピクチャまたはPピクチャからの予測) により生成される。Bピクチャは双方向予測により生成される。双方向予測においてBピクチャは、以下に示す3つの予測のうちいずれか1つにより生成される。①過去のIピクチャまたはPピ

クチャからの予測、②未来のIピクチャまたはPピクチャからの予測、③過去および未来のIピクチャまたはPピクチャからの予測。そして、これらI、P、Bピクチャがそれぞれエンコードされる。つまり、Iピクチャは過去や未来のピクチャが無くても生成される。これに対し、Pピクチャは過去のピクチャが無いと生成されず、Bピクチャは過去または未来のピクチャが無いと生成されない。

【0007】フレーム間予測では、まず、Iピクチャが周期的に生成される。次に、Iピクチャよりも数フレーム先のフレームがPピクチャとして生成される。このPピクチャは、過去から現在への一方向（順方向）の予測により生成される。続いて、Iピクチャの前、Pピクチャの後に位置するフレームがBピクチャとして生成される。このBピクチャを生成するとき、順方向予測、逆方向予測、双方向予測の3つの中から最適な予測方法が選択される。一般的に連続した動画では、現在の画像とその前後の画像とは良く似ており、異なっているのはその一部分に過ぎない。そこで、前のフレーム（例えば、Iピクチャ）と次のフレーム（例えば、Pピクチャ）とは同じであると仮定し、両フレーム間に変化があればその差分（Bピクチャ）のみを抽出して圧縮する。これにより、フレーム間のデータを時間的な相関に基づいて圧縮することができる。

【0008】このようにMPEGビデオパートに準拠してエンコードされたビデオデータのデータ列（ビットストリーム）は、MPEGビデオストリーム（以下、ビデオストリームと略す）と呼ばれる。また、MPEGオーディオパートに準拠してエンコードされたオーディオデータのデータ列は、MPEGオーディオストリーム（以下、オーディオストリームと略す）と呼ばれる。そして、ビデオストリームとオーディオストリームは、MPEGシステムパートに準拠して時分割多重化され、1本のデータ列としてのMPEGシステムストリーム（以下、システムストリームと略す）となる。システムストリームはマルチプレックスストリームとも呼ばれる。MPEG-1は主にCD-ROM (Compact Disc-Read Only Memory) などの蓄積メディアに対応しており、MPEG-2はMPEG-1をも含む幅広い範囲のアプリケーションに対応している。

【0009】MPEGパートにおけるエンコードからデコードまでの流れは、以下のようになっている。MPEGシステムエンコーダ（以下、システムエンコーダと略す）は、ビデオデータとオーディオデータのそれぞれを連係を保ちながら別個にエンコードを行い、ビデオストリームとオーディオストリームを生成する。次に、MPEGシステムエンコーダに装備されたマルチプレクサ（Multiplexer）（MUX）は、伝送媒体または記録媒体のフォーマットに適合するように、ビデオストリームとオーディオストリームの多重化を行い、システムスト

リームを生成する。そのシステムストリームは、伝送媒体を介してMUXから伝送されるか、または記録媒体に記録される。

【0010】MPEGシステムデコーダ（以下、システムデコーダと略す）に装備されたデマルチプレクサ（Demultiplexer）（DMUX）は、システムストリームをビデオストリームとオーディオストリームに分離する。次に、システムデコーダは各ストリームを個別にデコードして、ビデオのデコード出力（以下、ビデオ出力という）とオーディオのデコード出力（以下、オーディオ出力という）を生成する。そして、ビデオ出力はディスプレイへ、オーディオ出力はD/A（Digital/Analog）コンバータおよび低周波増幅器を介してスピーカへそれぞれ出力される。

【0011】システムストリームは複数のパック（Pack）で構成され、各パックは複数のパケット（Packet）で構成される。各パケットの中には、複数のアクセスユニットが存在している。アクセスユニットとはデコード再生を行うときの単位で、ビデオストリームの場合は1つのピクチャに対応し、オーディオストリームの場合は1つのオーディオフレームに対応している。

【0012】システムエンコーダは、パックの先頭にパックヘッダを付与し、パケットの先頭にパケットヘッダを付与する。パックヘッダは、SCR（System Clock Reference）と呼ばれる同期再生用の基準時刻等の参照情報を含む。ここで、再生とはビデオ出力とオーディオ出力の外部への出力を意味する。

【0013】パケットヘッダは、続くデータがビデオデータかオーディオデータかを識別するための情報や、タイムスタンプ（Time Stamp）（以下、TSと略す）と呼ばれるデコード再生の時刻を管理するための情報を含む。パケット長は、伝送媒体やアプリケーションに強く依存し、例えば、ATM（Asynchronous Transfer Mode）のように、53バイトと短いものや、CD-ROMのように4096バイトと長いものがある。そして、パケット長の上限は、64Kバイトに定められている。

【0014】例えば、CD-ROMにおけるデータの記録は、セクタ（Sector）単位で連続して行われ、そのデータの読み出しは、CD-ROMプレーヤによって毎秒75セクタの一定速度で行われる。CD-ROMにおいて、各セクタはそれぞれ1つのパックに対応し、パックとパケットは同じである。

【0015】システムエンコーダは、パケットの中にアクセスユニットの先頭がある場合、パケットヘッダにそのアクセスユニットに対応するTSを付加し、パケットの中にアクセスユニットの先頭がない場合、TSを付加しない。また、システムエンコーダは、パケットの中に2つ以上のアクセスユニットの先頭がある場合、パケットヘッダに最初のアクセスユニットに対応するTSだけを付加する。

【 0 0 1 6 】 T S には、 P T S (Presentation Time Stamp) と D T S (Decoding Time Stamp) の 2 種類がある。 M P E G システムパートは、 S T D (System Target Decoder) と呼ばれる仮想的な基準デコーダによって、デコードの標準を規定している。 S T D の基準クロックとなるのは、 S T C (System Time Clock) とよばれる同期信号である。

【 0 0 1 7 】 P T S は再生出力の時刻を管理するための情報である。この P T S の精度は、 90kHz のクロックで計測した値が 32 ビット長で表される。システムデコーダは P T S と S T C が一致したときに、その P T S が付加されているアクセスユニットをデコードし、再生出力を生成する。

【 0 0 1 8 】 前記したように M P E G ビデオパートではフレーム間予測技術を用いるため、 I ピクチャと P ピクチャは B ピクチャよりも先行してビデオストリームとして送出される。このため、システムデコーダは、ビデオストリームを受け取ると、そのビデオストリームの各ピクチャの先頭に付くピクチャヘッダに基づいて、ピクチャの順番を元の順番に並び替えてデコードし、ビデオ出力を生成する。 D T S は、ピクチャの並び替え後のデコード開始時刻を管理するための情報である。システムエンコーダは、 P T S と D T S が異なる場合にはその両方をパケットヘッダに付加し、一致する場合には P T S だけを付加する。具体的には、 B ピクチャのあるビデオストリームにおいて、 I ピクチャと P ピクチャが存在するパケットには P T S と D T S の両方が付加され、 B ピクチャが存在するパケットには P T S だけが付加される。また、 B ピクチャのないビデオストリームにおいては P T S だけが付加される。

【 0 0 1 9 】 S C R は S T C の値をシステムエンコーダで意図された値にセットしたり校正したりするための情報である。この S C R の精度は、 M P E G - 1 では 90kHz のクロックで計測した値が 32 ビット長で表され、 M P E G - 2 では 27kHz のクロックで計測した値が 42 ビット長で表される。 S C R は、 M P E G - 1 では 5 バイトで、 M P E G - 2 では 6 バイトで伝送され、システムデコーダは、その最終バイトの到着の瞬間に S C R の値に応じて S T C をセットする。

【 0 0 2 0 】 図 1 0 (a) は、システムストリームの一例を示す。 1 つのバックはバックヘッダ H 及び各パケット V 1, V 2, A 1 … V 6, V 7 から構成される。パケットは、ビデオデータの各パケット V 1 ~ V 7 とオーディオデータの各パケット A 1 ~ A 3 を含む。これらのパケットは、ビデオデータ及びオーディオデータの方について見れば番号順に並べられているものの、ビデオデータパケット及びオーディオデータパケットは相手の中に混在している。例えば、ビデオデータのパケット V 1, V 2 の次にはオーディオデータのパケット A 1 が続き、その次にはビデオデータのパケット V 3 が続き、更

にその後にはオーディオデータのパケット A 2, A 3 が続いている。ここで、バックヘッダ H には S C R が、パケット V 1 のパケットヘッダには P T S (V 1) が、パケット A 1 のパケットヘッダには P T S (A 1) が、パケット V 6 のパケットヘッダには P T S (V 6) がそれぞれ付加されている。従って、図 1 0 (b) に示すように、各パケット V 1 ~ V 5 でアクセスユニット α が、図 1 0 (c) に示すように各パケット A 1 ~ A 3 でアクセスユニット β が、図 1 0 (d) に示すように各パケット V 6, V 7 でアクセスユニット γ が構成される。この場合、アクセスユニット α , γ はそれぞれ 1 つのピクチャに対応し、アクセスユニット β は 1 つのオーディオフレームに対応している。尚、図 1 0 (a) ~ 図 1 0 (d) では、 D T S については省略してある。

【 0 0 2 1 】 図 1 1 は、従来のシステムデコーダ 1 1 1 のブロック回路を示す。システムデコーダ 1 1 1 は、 M P E G オーディオデコーダ 1 1 2, M P E G ビデオデコーダ 1 1 3, 及びオーディオビデオパーサ (A V パーサ) 1 1 4 から構成される。 A V パーサ 1 1 4 内にはデマルチプレクサ (Demultiplexer) (D M U X) 1 1 5 が備えられている。

【 0 0 2 2 】 A V パーサ 1 1 4 は、外部から転送されてきたシステムストリームを入力する。 D M U X 1 1 5 は、システムストリームのパケットヘッダに基づいて、システムストリームをビデオストリームとオーディオストリームに分離する。すなわち、図 1 0 (a) に示すシステムストリームは、ビデオデータの各パケット V 1 ~ V 7 から構成されるビデオストリームと、オーディオデータの各パケット A 1 ~ A 3 から構成されるオーディオストリームとに分離される。

【 0 0 2 3 】 また、 A V パーサ 1 1 4 は、システムストリームから S C R, オーディオの P T S (以下、 P T S (A) という)、ビデオの P T S (以下、 P T S (V) という) をそれぞれ分離する。そして、 A V パーサ 1 1 4 は、オーディオストリーム、 S C R, P T S (A) をそれぞれオーディオデコーダ 1 1 2 へ出力し、ビデオストリーム、 S C R, P T S (V) をそれぞれビデオデコーダ 1 1 3 へ出力する。

【 0 0 2 4 】 オーディオデコーダ 1 1 2 は、オーディオストリームを M P E G オーディオパートに準拠してデコードし、オーディオ出力を生成する。ビデオデコーダ 1 1 3 は、ビデオストリームを M P E G ビデオパートに準拠してデコードし、ビデオ出力を生成する。ビデオ出力はディスプレイ 1 1 6 へ、オーディオ出力は D / A コンバータおよび低周波増幅器を備えたオーディオ再生装置 1 1 7 を介してスピーカ 1 1 8 へそれぞれ出力される。

【 0 0 2 5 】 ここで、オーディオデコーダ 1 1 2 及びビデオデコーダ 1 1 3 はそれぞれ、 S C R と P T S に基づいてオーディオ出力とビデオ出力の同期再生を行う。すなわち、オーディオデコーダ 1 1 2 は、 S C R と P T S

(A) (PTS(A1))に基づいてオーディオ出力の再生時刻(再生タイミング)を設定し、図10(d)に示すように、アクセスユニット α の再生を時刻 t_3 で開始する。ビデオデコーダ113は、SCRとPTS(V)(PTS(V1), PTS(V6))に基づいてビデオ出力の再生時刻(再生タイミング)を設定し、図10(b)及び図10(c)に示すように、各アクセスユニット α , β の再生を各時刻 t_1 , t_2 で開始する。このとき、オーディオデコーダ112におけるオーディオ出力の再生時刻の設定と、ビデオデコーダ113におけるビデオ出力の再生時刻の設定とは、各PTS(A), PTS(V)に従ってそれぞれ別個に行われる。

【0026】

【発明が解決しようとする課題】オーディオ出力とビデオ出力の同期再生においては、「リップシンク」を考慮する必要がある。リップシンクとは、ディスプレイに映し出される人物の口の動きと音声との同期がとれていることをいう。口の動きよりも音声の方が早くなったり、逆に遅くなったりする状態を、リップシンクにずれがあるという。リップシンクのずれは、人間の聴覚の検知限界以下であれば問題とはならない。しかし、検知限界以上であると視聴者は違和感を覚える。一般に、リップシンクのずれの検知限界は、約数ミリ秒であるといわれている。

【0027】図11に示す従来のシステムデコーダ111では、リップシンクを十分に達成することができない。この原因は、STD(標準デコーダ)のデコード処理時間、すなわちSTDの内部遅延時間を零と仮定しているためである。実際のオーディオデコーダ112およびビデオデコーダ113のデコード処理時間は極めて短い0ではない。そのデコード処理時間(内部遅延時間)は、各デコーダ112, 113で異なる上に、処理されるアクセスユニットのデータ量によっても異なる。例えば、図10(b)~図10(d)に示すような各アクセスユニット α ~ γ を構成するパケットの数は、通常異なる上に、各パケットのパケット長も必ずしも同一ではない。従って、通常各アクセスユニット α ~ γ のデータ量は異なったものになる。

【0028】そこで、上記のような欠点を克服するために、PTS(V)とPTS(A)の差分の算出結果に応じてビデオ出力またはオーディオ出力のいずれか一方を遅延させることにより、両者の同期を図る方法が提案されている。しかし、この方法は、ビデオ出力またはオーディオ出力を遅延させるための遅延メモリを必要とする。このことは回路規模の拡大化及びコストの増大を招く。さらに、遅延メモリの正確な制御は困難であると考えられている。仮に、その制御をAVパーサ114が行うとすれば、AVパーサ114に対するソフトウェア的な負荷を重くし、AVパーサ114の動作に支障をきたす。

【0029】本発明は上記問題点を解決するためにな

れたものであり、オーディオ出力とビデオ出力の同期を十分にとることが可能なデコーダおよびMPEGシステムデコーダを提供することにある。

【0030】

【課題を解決するための手段】請求項1に記載の発明は、デコード回路に所定の動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効と判定することをその要旨とする。

【0031】請求項2に記載の発明は、外部から転送されてきたMPEGシステムストリームについて、MPEGシステムストリームのパケットヘッダに基づき、MPEGシステムストリームをMPEGビデオストリームとMPEGオーディオストリームに分離するデマルチプレクサと、MPEGシステムストリームからSCRとオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成されるMPEGオーディオデコーダと、ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成されるMPEGビデオデコーダとを備えたMPEGシステムデコーダであり、前記オーディオレジスタは、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、前記オーディオビットバッファは、デマルチプレクサから転送されてきたオーディオストリームを順次蓄積し、前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームをMPEGオーディオパートに準拠してデコードし、オーディオ出力を生成し、前記オーディオ制御回路は、MPEGオーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記ビデオレジスタは、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、前記ビデオビットバッファは、デマルチプレクサから転送されてきたビデオストリームを順次蓄積し、前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成し、前記ビデオ制御回路は、MPEGビデオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記MPEGオーディオデコーダは、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに

に基づいて第 2 のタイムスタンプを生成し、前記ビデオ制御回路は、ビデオのタイムスタンプとピクチャとのマッピングを行い、ビデオデコードコア回路の内部遅延時間とビデオレジスタから読み出されたビデオのタイムスタンプと第 2 のタイムスタンプとに基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせ、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えたことをその要旨とする。請求項 3 に記載の発明は、外部から転送されてきた M P E G システムストリームについて、M P E G システムストリームのパケットヘッダに基づき、M P E G システムストリームを M P E G ビデオストリームと M P E G オーディオストリームに分離するデマルチプレクサと、M P E G システムストリームから S C R とオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成される M P E G オーディオデコーダと、ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成される M P E G ビデオデコーダとを備えた M P E G システムデコーダであり、前記オーディオレジスタは、F I F O 構成で、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、前記オーディオビットバッファは F I F O 構成の R A M から成り、デマルチプレクサから転送されてきたオーディオストリームを順次蓄積し、前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームを M P E G オーディオパートに準拠してデコードし、オーディオ出力を生成し、前記オーディオ制御回路は、ビットバッファからオーディオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とから M P E G オーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきた S C R と、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記ビデオレジスタは、F I F O 構成で、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、前記ビデオビットバッファは F I F O 構成の R A M から成り、デマルチプレクサから転送されてきたビデオストリームを順次蓄積し、前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームを M P E G ビデオパートに準拠してデコードし、ビデオ出力を生成し、前記ビデオ制御回路は、ビットバッファからビデオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とから M P E G ビデオデコーダにおける

デコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきた S C R と、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記 M P E G オーディオデコーダは、遅延時間算出回路とオーディオ減算回路と加算回路とサンプリング周波数検出回路とを備えたタイムスタンプ生成回路を備え、前記遅延時間算出回路は、オーディオビットバッファの内部遅延時間を算出し、前記オーディオ減算回路は、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに基づいて、オーディオのタイムスタンプから各内部遅延時間の和を減算した値を生成し、前記サンプリング周波数検出回路は、オーディオストリームからオーディオデータのサンプリング周波数を検出し、そのサンプリング周波数に対応したクロックを生成し、前記加算回路は、オーディオ減算回路の生成した値と前記クロックを加算して第 2 のタイムスタンプを生成し、前記ビデオ制御回路は、ライトアドレス検出回路とリードアドレス検出回路とピクチャヘッダ検出回路とマッピング回路と第 2 のレジスタと同期判定回路と第 1 および第 2 の比較処理回路と第 1 および第 2 のビデオ減算回路とを備え、前記ライトアドレス検出回路は、外部から転送されてきたビデオストリームにおけるビデオのタイムスタンプが付加されていたパケットがビデオビットバッファに書き込まれるときに、そのパケットのビデオビットバッファにおけるアドレスを検出し、前記ビデオレジスタは、ライトアドレス検出回路によって検出されたアドレスとビデオのタイムスタンプとを対応付けて順次蓄積し、前記リードアドレス検出回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスを検出し、前記ピクチャヘッダ検出回路は、ビデオビットバッファに書き込まれたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、そのピクチャヘッダに規定されているピクチャのタイプを検出し、前記第 1 の比較処理回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスと、ビデオレジスタから読み出されたビデオのタイムスタンプに対応するアドレスとを比較し、両アドレスが一致するかどうかを検出し、前記マッピング回路は、第 1 の比較処理回路およびピクチャヘッダ検出回路の検出結果とに基づいて、ビデオのタイムスタンプとピクチャとのマッピングを行い、前記第 2 のレジスタは 1 段のスタックで構成され、フレーム間予測技術に従い、ピクチャヘッダ検出回路によって検出されたピクチャのタイプに基づいて、I ピクチャまたは P ピクチャに対応するビデオのタイムスタンプを、B ピクチャに対応するビデオのタイムスタンプと入れ替え、前記第 1 のビデオ減算回路は、ビデオデコードコア回路の内部遅延時間と外部から指定さ

れた第 1 の値と第 2 のレジスタから読み出されたビデオのタイムスタンプとに基づいて、ビデオのタイムスタンプから、内部遅延時間と外部から指定された第 1 の値の和を減算した値を生成し、前記第 2 のビデオ減算回路は、タイムスタンプ生成回路から生成された第 2 のタイムスタンプから第 1 のビデオ減算回路の生成した値を減算した値を生成し、前記第 2 の比較処理回路は、外部から指定された第 2 の値と第 2 のビデオ減算回路の生成した値を比較し、前記同期判定回路は、マッピング回路によってビデオのタイムスタンプとピクチャとのマッピングが行われると、第 2 の比較処理回路の比較結果に基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号を生成し、前記ビデオデコードコア回路では、スキップ動作において、ビデオビットバッファから転送されてくるピクチャが廃棄され、その廃棄されたピクチャについてはデコードが行われず、リピート動作において、ビデオビットバッファから転送されてきたピクチャのビデオ出力が引き続き出力され、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えたことをその要旨とする。

【 0 0 3 2 】 請求項 4 に記載の発明は、請求項 2 または請求項 3 に記載の M P E G システムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第 1 のスキップ有効化手段を備えたことをその要旨とする。

【 0 0 3 3 】 請求項 5 に記載の発明は、請求項 2 または請求項 3 に記載の M P E G システムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が生成されてから一定時間後に、その制御信号を有効化する第 2 のスキップ有効化手段を備えたことをその要旨とする。

【 0 0 3 4 】 請求項 6 に記載の発明は、請求項 2 または請求項 3 に記載の M P E G システムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第 1 のリピート有効化手段を備えたことをその要旨とする。

【 0 0 3 5 】 請求項 7 に記載の発明は、請求項 2 または請求項 3 に記載の M P E G システムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が生成されてから一定時間後に、その制御信号を有効化する第 2 のリピート有効化手段を備えたことをその要旨とする。

【 0 0 3 6 】 請求項 8 に記載の発明は、請求項 2 または

請求項 3 に記載の M P E G システムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されていれば、最初に生成されてから一定時間後に、その制御信号を有効化するスキップ判定回路を備えたことをその要旨とする。

【 0 0 3 7 】 請求項 9 に記載の発明は、請求項 2 または請求項 3 に記載の M P E G システムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されていれば、最初に生成されてから一定時間後に、その制御信号を有効化するリピート判定回路を備えたことをその要旨とする。

【 0 0 3 8 】 請求項 1 0 に記載の発明は、請求項 2 ～ 9 のいずれか 1 項に記載の M P E G システムデコーダにおいて、前記ビデオデコードコア回路のスキップ動作は B ピクチャが優先して行われることをその要旨とする。

【 0 0 3 9 】

【作用】 請求項 1 に記載の発明によれば、デコード回路に所定の動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効と判定することができる。

【 0 0 4 0 】 請求項 2 または請求項 3 に記載の発明によれば、M P E G オーディオデコーダの内部遅延時間は、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とによって規定される。そして、各遅延時間とオーディオのタイムスタンプとに基づいて第 2 のタイムスタンプが生成される。M P E G ビデオデコーダでは、その第 2 のタイムスタンプと M P E G ビデオデコーダの内部遅延時間とに基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせる。その結果、各デコーダの内部遅延時間が変化しても、各出力の同期を十分にとることができる。

【 0 0 4 1 】 請求項 3 に記載の発明によれば、外部から指定された第 1 の値を調整することにより、オーディオ出力の位相とビデオ出力の位相とを任意にずらすことができる。また、外部から指定された第 2 の値を調整することにより、オーディオ出力とビデオ出力の同期の精度を任意に設定することができる。そして、制御信号の誤りを判定して補正することにより、各出力の同期をさらに正確にとることができる。

【 0 0 4 2 】 請求項 4 または請求項 6 に記載の発明によれば、制御信号が一定回数以上連続して生成されない、その制御信号は有効化されない。すなわち、制御信号が一定回数未満しか連続して生成されない場合、その

制御信号は誤りであると判定されて補正される。その結果、各出力の同期をさらに正確にとることができる。

【 0 0 4 3 】 請求項 5 または請求項 7 に記載の発明によれば、制御信号が生成されてから一定時間後でないと、その制御信号は有効化されない。その結果、各出力の同期をさらに正確にとることができる。

【 0 0 4 4 】 請求項 8 または請求項 9 に記載の発明によれば、請求項 4 と請求項 5 または請求項 6 と請求項 7 を併用することにより、各発明の相乗作用によりさらに効果を高めることができる。

【 0 0 4 5 】 請求項 1 0 に記載の発明によれば、優先度の低い B ピクチャを I ピクチャや P P ピクチャよりも優先してスキップすることにより、再生される動画に生じるコマ落ちが少なくなり、動画の動きが滑らかなものになる。

【 0 0 4 6 】

【 実施例 】

(第 1 実施例) 本発明の一実施例に従う M P E G システムデコーダを図面を参照しつつ説明する。図 1 は、本実施例の M P E G システムデコーダ 1 のブロック回路を示す。

【 0 0 4 7 】 システムデコーダ 1 は、M P E G オーディオデコーダ 2、M P E G ビデオデコーダ 3、オーディオビデオパーサ (A V パーサ) 4 を備えている。A V パーサ 4 は、デマルチプレクサ (Demultiplexer) (D M U X) 5 を備えており、外部機器 (例えば、ビデオ C D プレーヤ) から転送されてきた M P E G システムストリームを入力する。D M U X 5 は、システムストリームのパケットヘッダに従いシステムストリームを M P E G ビデオストリームと M P E G オーディオストリームに分離する。A V パーサ 4 は、システムストリームから S C R、オーディオの P T S (以下、P T S (A) という)、ビデオの P T S (以下、P T S (V) という) をそれぞれ分離する。オーディオストリーム、S C R、P T S (A) は、それぞれオーディオデコーダ 2 へ出力され、ビデオストリーム、S C R、P T S (V) は、それぞれビデオデコーダ 3 へ出力される。

【 0 0 4 8 】 オーディオデコーダ 2 は、レジスタ 1 1、ビットバッファ 1 2、デコードコア回路 1 3、制御回路 1 4 を備えている。レジスタ 1 1 は F I F O (First-In-First-Out) 構成で、P T S (A) を順次蓄積する。ビットバッファ 1 2 は F I F O 構成の R A M (Random Access Memory) から成り、オーディオストリームを順次蓄積する。デコードコア回路 1 3 は、ビットバッファ 1 2 から供給されたオーディオストリームを M P E G オーディオパートに準拠してデコードし、オーディオ出力を生成する。制御回路 1 4 は、オーディオデコーダ 2 におけるデコード処理時間すなわち、オーディオデコーダ 2 の内部遅延時間と、S C R および P T S (A) とを基にオーディオ出力の再生時刻 (再生タイミング) を計算し、その

計算結果に従ってデコードコア回路 1 3 を制御する。

【 0 0 4 9 】 ビデオデコーダ 3 は、レジスタ 2 1、ビットバッファ 2 2、デコードコア回路 2 3、制御回路 2 4 を備えている。レジスタ 2 1 は F I F O 構成で、P T S (V) を順次蓄積する。ビットバッファ 2 2 は F I F O 構成の R A M から成り、ビデオストリームを順次蓄積する。デコードコア回路 2 3 は、ビットバッファ 2 2 から供給されたビデオストリームを M P E G ビデオパートに準拠してデコードし、ビデオ出力を生成する。制御回路 2 4 は、ビデオデコーダ 3 におけるデコード処理時間、すなわちビデオデコーダ 3 の内部遅延時間と、S C R および P T S (V) とを基にビデオ出力の再生時刻を計算し、その計算結果に従ってデコードコア回路 2 3 を制御する。

【 0 0 5 0 】 そして、ビデオ出力はディスプレイ 2 5 へ、オーディオ出力は D / A コンバータ (図示略) および低周波増幅器 (図示略) を備えたオーディオ再生装置 2 6 を介してスピーカ 2 7 へそれぞれ出力される。

【 0 0 5 1 】 A V パーサ 4 は、外部から転送されてきた図 1 0 A に示すような構成のシステムストリームを入力すると、ビデオデータの各パケット V 1 ~ V 7 から構成されるビデオストリームと、オーディオデータの各パケット A 1 ~ A 3 から構成されるオーディオストリームとに分離する。

【 0 0 5 2 】 オーディオデコーダ 2 は、オーディオデコーダ 2 の内部遅延時間と、S C R および P T S (A) (P T S (A I)) とを基にオーディオ出力の再生時刻を設定し、図 1 0 B に示すように、アクセスユニットの再生を時刻 t 3 で開始する。更に詳しく説明すると、制御回路 1 4 はレジスタ 1 1 から P T S (A I) を読み出し、ビットバッファ 1 2 からオーディオストリームを読み出してデコードコア回路 1 3 へ転送する。このとき、制御回路 1 4 は、オーディオデコーダ 2 の内部遅延時間と、S C R および P T S (A I) とを基にオーディオ出力の再生時刻を計算する。デコードコア回路 1 3 は、M P E G オーディオパートに準拠してオーディオストリームの各パケット A 1 ~ A 3 をデコードして、オーディオ出力を生成する。制御回路 1 4 は、計算された再生時刻 (外部への出力時刻) に従ってオーディオ出力が再生されるようにデコードコア回路 1 3 を制御する。

【 0 0 5 3 】 ところで、オーディオデコーダ 2 の内部遅延時間は、ビットバッファ 1 2 からオーディオストリームが読み出されるのに要する時間 (ビットバッファ 1 2 の内部遅延時間) と、デコードコア回路 1 3 におけるデコード処理時間 (デコードコア回路 1 3 の内部遅延時間) との和である。ビットバッファ 1 2 の内部遅延時間は、ビットバッファ 1 2 におけるオーディオストリームの占有量によって変化し、その占有量が大きいほど内部遅延時間も大きくなる。デコードコア回路 1 3 の内部遅延時間は一定である。レジスタ 1 1 から P T S (A) が読

み出されるのに要する時間は、ビットバッファ 1 2 の内部遅延時間に比べて小さく、制御回路 1 4 における信号処理時間と合わせても無視できる程度である。

【 0 0 5 4 】ビデオデコーダ 3 は、ビデオデコーダ 3 の内部遅延時間と、SCR および PTS (V) (PTS (V1), PTS (V6)) とを基にビデオ出力の再生時刻を設定し、図 1 0 B、図 1 0 C に示すように、各アクセスユニット α 、 β の再生を各時刻 t_1 、 t_2 で開始する。詳しく説明すると、制御回路 2 4 は PTS (V1), PTS (V6) をそれぞれレジスタ 2 1 から読み出し、ビットバッファ 2 2 からビデオストリームを読み出してデコードコア回路 2 3 へ転送する。制御回路 2 4 は、ビデオデコーダ 3 の内部遅延時間と、SCR および各 PTS (A1), PTS (V6) とを基にビデオ出力の再生時刻を計算する。デコードコア回路 2 3 は、MPEG ビデオパートに準拠してビデオストリームの各パケット V1 ~ V7 をデコードし、ビデオ出力を生成する。制御回路 2 4 は、計算された再生時刻 (外部への出力時刻) に従ってビデオ出力が再生されるようにデコードコア回路 2 3 を制御する。

【 0 0 5 5 】ところで、ビデオデコーダ 3 の内部遅延時間は、ビットバッファ 2 2 からビデオストリームが読み出されるのに要する時間 (ビットバッファ 2 2 の内部遅延時間) と、デコードコア回路 2 3 におけるデコード処理時間 (デコードコア回路 2 3 の内部遅延時間) との和である。ビットバッファ 2 2 の内部遅延時間は、ビットバッファ 2 2 におけるビデオストリームの占有量によって変化し、その占有量が大きいほど内部遅延時間も大きくなる。デコードコア回路 2 3 の内部遅延時間は一定値である。制御回路 2 4 は、PTS (V) が読み出されるのに要する時間がビットバッファ 2 2 の内部遅延時間と同一になるようにレジスタ 2 1 を制御する。

【 0 0 5 6 】オーディオデコーダ 2 におけるオーディオ出力の再生時刻の設定と、ビデオデコーダ 3 におけるビデオ出力の再生時刻の設定とは、各 PTS (A), PTS (V) に従ってそれぞれ別個に行われる。

【 0 0 5 7 】このように、本実施例においては、SCR および PTS だけでなく、各デコーダ 2、3 の内部遅延時間も考慮してオーディオ出力およびビデオ出力の再生時刻が設定される。このことは、オーディオ出力とビデオ出力の同期 (リップシンク) を十分にとることを可能にする。このことは、ビデオ出力及びオーディオ出力のうちいずれか一方を遅延させるための遅延メモリを設ける必要をなくし、遅延メモリを設けることによる回路規模およびコストの増大を回避することを可能にする。

【 0 0 5 8 】(第 2 実施例) 本発明の第 2 実施例を図 2 ~ 図 5 に従って説明する。尚、本実施例において、第 1 実施例と同じ構成部品については符号を等しくしてその詳細な説明を省略する。

【 0 0 5 9 】図 2 は、本実施例の MPEG システムデコーダ 3 1 のブロック回路を示す。システムデコーダ 3 1

は、MPEG オーディオデコーダ 3 2、MPEG ビデオデコーダ 3 3、及び AV パーサ 4 を備えている。AV パーサ 4 はデマルチプレクサ (DMUX) 5 を備えている。

【 0 0 6 0 】AV パーサ 4 は分離したオーディオストリーム、SCR、PTS (A) をそれぞれオーディオデコーダ 3 2 へ出力し、ビデオストリーム、PTS (V) をそれぞれビデオデコーダ 3 3 へ出力する。ここで、本実施例では、第 1 実施例と異なり、AV パーサ 4 はビデオデコーダ 3 3 へ SCR を提供しない。

【 0 0 6 1 】オーディオデコーダ 3 2 は、レジスタ 1 1、ビットバッファ 1 2、デコードコア回路 1 3、制御回路 1 4、及びタイムスタンプ生成回路 4 1 を備えている。タイムスタンプ生成回路 4 1 は、後記するように、タイムスタンプ A_i -PTS (以下、 A_i -PTS と略す) を生成する。制御回路 1 4 は、レジスタ 1 1、ビットバッファ 1 2 及びデコードコア回路 1 3 と同様に、タイムスタンプ生成回路 4 1 も制御する。尚、制御回路 1 4 は、SCR および PTS (A) を基にオーディオ出力の再生時刻 (再生タイミング) を計算し、オーディオデコーダ 3 2 の内部遅延時間については考慮しない。

【 0 0 6 2 】ビデオデコーダ 3 3 は、レジスタ 2 1、ビットバッファ 2 2、デコードコア回路 2 3、及び制御回路 4 2 を備えている。制御回路 4 2 は、ビデオ出力の再生時刻を計算し、その計算結果に従ってデコードコア回路 2 3 を制御する。その再生時刻は、タイムスタンプ生成回路 4 1 から生成された A_i -PTS と、ビデオデコーダ 3 3 のデコード処理時間、すなわちビデオデコーダ 3 3 の内部遅延時間 (以下、ビデオデコード遅延時間という) $D(I)$ と、PTS (V) とを基に計算される。ビデオデコード遅延時間 $D(I)$ は、ビットバッファ 2 2 の内部遅延時間 VD と、デコードコア回路 2 3 の内部遅延時間 ΔV との和である。

【 0 0 6 3 】図 3 は、タイムスタンプ生成回路 4 1 のブロック回路を示す。タイムスタンプ生成回路 4 1 は、遅延時間算出回路 5 1、減算回路 5 2、サンプリング周波数検出回路 5 3、及び加算回路 5 4 を備えている。遅延時間算出回路 5 1 は、ビットバッファ 1 2 の内部遅延時間 AD を算出する。内部遅延時間 AD はビットバッファ 1 2 におけるオーディオストリームの占有量によって変化し、占有量が大きいほど内部遅延時間 AD も大きくなる。減算回路 5 2 は、レジスタ 1 1 から読み出された PTS (A) から内部遅延時間 AD 及びデコードコア回路 1 3 の内部遅延時間 ΔA の和を減算し、 A_i -PTS を生成する。すなわち、以下の式に従って A_i -PTS が生成される。

【 0 0 6 4 】 A_i -PTS = PTS (A) - AD - ΔA
従って、 A_i -PTS には、PTS (A) に対して各内部遅延時間 AD 、 ΔA の影響が加味される。内部遅延時間 ΔA は一定値である。

【0065】サンプリング周波数検出回路53は、オーディオストリームからオーディオデータのサンプリング周波数を検出し、そのサンプリング周波数に対応したクロック信号CKを生成する。このサンプリング周波数は、CD (Compact Disc) の規格では44.1kHzに定められている。加算回路54は、 A_1 -PTSとクロックCKを加算して A_1 -PTSを生成する。ここで、 A_1 -PTSにクロックCKを加算するのは、リアルタイムに A_1 -PTSを生成するためである。前記したように、PTS(A)は、バケットの中にオーディオフィーム(又は、アクセスユニット)の先頭がある場合、そのバケットのバケットヘッダに付加される。しかし、バケットの中にオーディオフィームの先頭がない場合、PTS(A)は付加されない。バケットの中に2つ以上のオーディオフィームの先頭がある場合、最初のオーディオフィームに対応するPTS(A)だけが、そのバケットのバケットヘッダに付加される。バケットの中にオーディオフィームの先頭がある場合でも、そのバケットのバケットヘッダに必ずPTS(A)が付加されているとは限らない。このようにPTS(A)が付加されることにより、レジスタ11からはPTS(A)が間欠的にしか読み出されない。従って、タイムスタンプ生成回路41は、レジスタ11からPTS(A)が読み出されないとき、前に読み出されたPTS(A)から A_1 -PTSを生成し、その A_1 -PTSにクロックCKを加算して A_1 -PTSを生成する。これにより、タイムスタンプ生成回路41は、リアルタイムに A_1 -PTSを生成する。その A_1 -PTSは、レジスタ11から新たなPTS(A)が読み出される度に、それ以前に生成された A_1 -PTSとは関係なく、新たに生成される。

【0066】このように、タイムスタンプ生成回路41は、オーディオデコーダ32の内部遅延時間(=AD+ ΔA)と、オーディオデータのサンプリング周波数に対応したクロックCKとを基に A_1 -PTSを生成する。従って、 A_1 -PTSには、PTS(A)に対して各内部遅延時間AD、 ΔA およびクロックCKの影響が加味される。

【0067】図4は、ビデオデコーダ33のブロック回路を示す。制御回路42は、ライトアドレス検出回路61、リードアドレス検出回路62、ピクチャヘッダ検出回路63、マッピング回路64、レジスタ65、同期判定回路66、第1及び第2比較処理回路67、70、第1及び第2減算回路68、69、及び各回路61~70を制御する制御コア回路71を備えている。制御コア回路71は、ビットバッファ22及びデコードコア回路23も制御する。

【0068】ライトアドレス検出回路61は、ビットバッファ22にビデオストリームが蓄積されるとき、PTS(V)が付加されていたバケットのアドレスAddを検出する。詳しく説明すると、AVパーサ4は、ビデオストリームからPTS(V)を分離し、ビットバッファ22が

そのビデオストリームを蓄積し、レジスタ21がそのPTS(V)を蓄積する。このとき、ライトアドレス検出回路61は、PTS(V)が分離されることなく、それを付加したビデオストリームがビットバッファ22に書き込まれたものとして、PTS(V)が付加されていたバケットのアドレスAddを検出する。このことは、その検出されたアドレスAddが、PTS(V)のアドレスに対応していることを意味する。このように、バケットのアドレスAddをPTS(V)のアドレスに対応させることが可能なのは、以下の理由による。バケットのデータ量に比べてPTS(V)のデータ量は十分に小さく、ビデオストリームにPTS(V)を含ませても、ビットバッファ22に蓄積されるバケットのアドレスは変化しない。

【0069】制御コア回路71は、検出されたアドレスAddをPTS(V)と対応付けてレジスタ21に順次蓄積する。レジスタ21は例えば、(n+1)段のスタックで構成されている。レジスタ21には、ビデオストリームから順次分離された(n+1)個の各PTS(V.)~PTS(V...)が、対応する各アドレスAdd.~Add...とワンセットで順次蓄積される。リードアドレス検出回路62は、ビットバッファ22から読み出されたビデオストリームのアドレスを検出する。ピクチャヘッダ検出回路63は、ビットバッファ22に書き込まれたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、その各ピクチャヘッダに規定されているピクチャのタイプ(I, P, B)をそれぞれ検出する。制御コア回路71は、その検出結果に従って、ビットバッファ22から一定の周期毎に1つのピクチャ分のビデオストリームを読み出す。

【0070】第1比較処理回路67は、ビットバッファ22から読み出されたビデオストリームのアドレスと、レジスタ21から読み出されたPTS(V)(PTS(V.))に対応するアドレスAdd(Add.)とを比較し、両アドレスが一致するかどうかを判定する。マッピング回路64は、第1比較処理回路67の判定結果とピクチャヘッダ検出回路63の検出結果に従って、PTS(V)とピクチャとのマッピングを行う。このマッピングについては以下に説明する。

【0071】この各回路62~64、67の動作を、図5(a)、図5(b)に示すビデオストリームの一例に従って説明する。図5(a)に示すように、ビデオストリームは、2つのバケットP、Qから構成され、各バケットP、QのバケットヘッダにはPTS(V.)、PTS(V...)がそれぞれ付加されている。バケットPは3つのBピクチャB1、B2、B3を含んでいる。このBピクチャB1の先頭は、バケットPの中にはない。バケットQはBピクチャB3、IピクチャI1、及びPピクチャP1を含んでいる。このBピクチャB3の先頭は、バケットQの中にはない。つまり、PTS(V.)はBピクチャB2、B3に対応したPTS(V)であり、PTS(V

...) は I ピクチャ I 1, P ピクチャ P 1 に対応した P T S (V) である。そして、各 P T S (V...) , P T S (V...) には各アドレス Add... , Add... が対応し、各 P T S (V...) , P T S (V...) および各アドレス Add... , Add... はレジスタ 2 1 に蓄積されている。図 5 (a) に示すビデオストリームは、ビットバッファ 2 2 内では、図 5 (b) に示すように、各 P T S (V...) , P T S (V...) が除かれた状態で蓄積される。

【 0 0 7 2 】ビットバッファ 2 2 からビデオストリームが読み出されると、リードアドレス検出回路 6 2 はそのビデオストリームのアドレスを検出し、第 1 比較処理回路 6 7 はそのアドレスと、レジスタ 2 1 に蓄積されているアドレス Add... とを比較する。ピクチャヘッダ検出回路 6 3 は、読み出されたビデオストリームのピクチャの先頭に付くピクチャヘッダを検出する。第 1 比較処理回路 6 7 がその両アドレスが一致していると判定すると、マッピング回路 6 4 は、検出されたピクチャヘッダが先頭に付くピクチャ (この場合、B ピクチャ B 2) が、アドレス Add... (すなわち、P T S (V...)) に対応していると判定する。具体的には、図 5 (a) に示すように、マッピング回路 6 4 は、P T S (V...) に対応するのは B ピクチャ B 1 ではなく B ピクチャ B 2 であり、P T S (V...) に対応するのは B ピクチャ B 3 ではなく I ピクチャ I 1 であることを判定する。この判定動作がマッピングである。

【 0 0 7 3 】このように、本実施例においては、各回路 6 2 ~ 6 4, 6 7 がビットバッファ 2 2 の内部遅延時間 V D を算出するのと同等の動作を行う。すなわち、ビットバッファ 2 2 からデコードコア回路にビデオストリームが提供されるときに、各ピクチャと P T S (V) の対応付けを行うことが、内部遅延時間 V D の算出に相当する。そのため、レジスタ 2 1 から読み出された P T S (V) には、レジスタ 2 1 に書き込まれたときの P T S (V) に対して、ビットバッファ 2 2 の内部遅延時間 V D の影響が加味されている。ビデオデコーダ 3 3 における各回路 6 2 ~ 6 4, 6 7 の動作は、オーディオデコーダ 3 2 における遅延時間算出回路 5 1 の動作に対応する。その内部遅延時間 V D は、ビットバッファ 2 2 のビデオストリームの占有量によって変化し、その占有量が大きいほど内部遅延時間 V D も大きくなる。

【 0 0 7 4 】レジスタ 6 5 は 1 段のスタックで構成され、フレーム間予測技術に従う動作を行う。その動作は、ピクチャヘッダ検出回路 6 3 によって検出されたピクチャのタイプ (I, P, B) に応じて、I ピクチャまたは P ピクチャに対応する P T S (V) と、B ピクチャに対応する P T S (V) とを入れ替える。

【 0 0 7 5 】第 1 減算回路 6 8 は、レジスタ 6 5 から読み出された P T S (V) からデコードコア回路 2 3 の内部遅延時間 ΔV と、図 2 に示す外部の入力装置 4 3 にて設定された値 x との和を減算し、 $V_i - P T S$ を生成する。

すなわち、以下の式に従って $V_i - P T S$ が生成される。

【 0 0 7 6 】 $V_i - P T S = P T S (V) - \Delta V - x$
ここで、レジスタ 6 5 から読み出された P T S (V) には、内部遅延時間 V D の影響が反映されている。そのため、 $V_i - P T S$ には、レジスタ 2 1 に書き込まれた P T S (V) に対して、ビデオデコード遅延時間 D (I) (= V D + ΔV) および値 x の影響が反映されている。内部遅延時間 ΔV は一定の値である。値 x はユーザが入力装置 4 3 を操作することにより設定される。

【 0 0 7 7 】第 2 減算回路 6 9 は、タイムスタンプ生成回路 4 1 から生成された $A_i - P T S$ から $V_i - P T S$ を減算し、 $V_i - P T S$ を生成する。すなわち、以下の式に従って $V_i - P T S$ が生成される。

【 0 0 7 8 】 $V_i - P T S = A_i - P T S - V_i - P T S = A_i - P T S - P T S (V) + \Delta V + x$

ここで、 $A_i - P T S$ はリアルタイムに生成されている。従って、 $V_i - P T S$ がどのようなタイミングで生成されても、 $V_i - P T S$ は確実 (又は、リアルタイム) に生成される。

【 0 0 7 9 】第 2 比較処理回路 7 0 は、図 2 に示す外部の入力装置 4 4 にて設定された値 y と $V_i - P T S$ を比較する。値 y は、ユーザが入力装置 4 4 を操作することにより設定され、1 つのピクチャが再生されている時間の半分よりも大きくなるように設定される。同期判定回路 6 6 は、マッピング回路 6 4 によって P T S (V) とピクチャとのマッピングが行われると、第 2 比較処理回路 7 0 の比較結果に従って、各制御信号 SS , Sn , SR を生成する。同期判定回路 6 6 は、 $V_i - P T S < -y$ の場合は制御信号 SS を生成する。同期判定回路 6 6 は、 $-y \leq V_i - P T S \leq y$ (即ち、 $|V_i - P T S| \leq y$) の場合は制御信号 Sn を生成し、 $y < V_i - P T S$ の場合は制御信号 SR をそれぞれ生成する。

【 0 0 8 0 】同期判定回路 6 6 は、 $A_i - P T S$ および $V_i - P T S$ に比べて値 y が十分に小さいとき、以下の各場合に依じて各制御信号 SS , Sn , SR を生成する。同期判定回路 6 6 は、 $A_i - P T S < V_i - P T S$ の場合は制御信号 SS を生成する。同期判定回路 6 6 は、 $A_i - P T S = V_i - P T S$ の場合は制御信号 Sn を生成し、 $A_i - P T S > V_i - P T S$ の場合は制御信号 SR をそれぞれ生成する。その各制御信号 SS , Sn , SR はデコードコア回路 2 3 に入力され、そのデコードコア回路 2 3 を制御する。

【 0 0 8 1 】デコードコア回路 2 3 は、ビットバッファ 2 2 から読み出されたビデオストリームをデコードし、各ピクチャ毎にビデオ出力を生成する。ここで、制御信号 SS が生成されているとき、デコードコア回路 2 3 は、スキップ動作を行う。詳しく説明すると、デコードコア回路 2 3 は、制御信号 SS が生成されている間、ビットバッファ 2 2 から転送されてくるピクチャを廃棄し、その廃棄されたピクチャについてはデコードを行わない。

そして、制御信号 SS の生成が停止されると、デコードコア回路 23 は通常の動作に戻る。その結果、ディスプレイ 25 では、再生画面が数コマ分だけ飛ぶスキップ再生が行われる。

【0082】制御信号 S_n が生成されているとき、デコードコア回路 23 は通常の動作を行い、ディスプレイ 25 では通常の再生が行われる。制御信号 SR が生成されているとき、デコードコア回路 23 はリピート動作を行う。詳しく説明すると、デコードコア回路 23 は、制御信号 SR が生成されている間、その制御信号 SR が生成される前にビットバッファ 22 から転送されたピクチャのビデオ出力の出力を引き続き行う。そして、制御信号 SR の生成が停止されると、デコードコア回路 23 は通常の動作に戻る。その結果、ディスプレイ 25 では、同じ再生画面が続くリピート再生が行われる。

【0083】例えば、 A_i-PTS および V_i-PTS に比べて値 y が十分に小さいとき、デコードコア回路 23 は、 $A_i-PTS < V_i-PTS$ の場合はスキップ動作を行い、 $A_i-PTS = V_i-PTS$ の場合は通常の動作を行い、更に $A_i-PTS > V_i-PTS$ の場合はリピート動作をそれぞれ行う。

【0084】ところで、入力装置 44 で値 y を指定できるようにしてあるのは、 A_i-PTS と V_i-PTS とが完全に一致することは稀であるためである。デコードコア回路 23 は、 A_i-PTS と V_i-PTS とが完全に一致した場合 ($A_i-PTS = V_i-PTS$) に通常の動作を行う。従って、 A_i-PTS および V_i-PTS に比べて値 y が十分に小さいとき、デコードコア回路 23 は稀にしか通常の動作を行わないことになる。そこで、視聴者（又は、ユーザー）が値 y を適宜に設定することにより、 A_i-PTS と V_i-PTS とが完全に一致していなくても、ほぼ一致していればデコードコア回路 23 は通常の動作を行う。つまり、入力装置 44 で値 y を指定できるようにしてあるのは、 A_i-PTS と V_i-PTS との一致条件に許容範囲をもたせるためである。

【0085】また、入力装置 43 で値 x を指定できるようにしてあるのは、デコードコア回路 23 に対して任意にスキップ動作またはリピート動作を行わせるためである。視聴者が値 x を調整することにより、 V_i-PTS が変化する。デコードコア回路 23 は、その V_i-PTS の変化に応じて各動作を行う。

【0086】このように、本実施例において制御回路 42 は、オーディオデコーダ 32 の内部遅延時間 ($= AD + \Delta A$) を基に生成された A_i-PTS と、ビデオデコード遅延時間 $D(I)$ ($= VD + \Delta V$) と、値 x とを基に $PTS(V)$ を補正して、 V_i-PTS を生成する。そして、制御回路 42 は、 V_i-PTS と値 y との比較結果に従って、制御信号 SS 、 S_n 、 SR のいずれかを生成し、スキップ動作、通常の動作、リピート動作のいずれかを行うようにデコードコア回路 23 を制御する。

【0087】従って、制御回路 42 は、ビデオデコーダ 33 の内部遅延時間だけでなく、オーディオデコーダ 32 の内部遅延時間をも基にデコードコア回路 23 を制御する。すなわち、制御回路 42 は、ビデオデコーダ 33 の内部遅延時間だけでなく、オーディオデコーダ 32 の内部遅延時間をも考慮に入れてビデオ出力の再生時刻を設定する。言い換えれば、オーディオ出力の再生タイミングに合わせてビデオ出力の再生タイミングが調整される。このことは、オーディオ出力とビデオ出力の同期を第 1 実施例よりもさらに確実にとることを可能にする。

【0088】例えば、オーディオ出力の再生タイミングよりもビデオ出力の再生タイミングが遅れている場合、制御回路 42 はデコードコア回路 23 にスキップ動作を行わせて、ディスプレイ 25 がスキップ再生を行う。この結果、ビデオ出力の再生タイミングがオーディオ出力の再生タイミングに追いつくようになる。逆に、オーディオ出力の再生タイミングよりもビデオ出力の再生タイミングが進んでいる場合、制御回路 42 はデコードコア回路 23 にリピート動作を行わせて、ディスプレイ 25 がリピート再生を行う。この結果、ビデオ出力の再生タイミングがオーディオ出力の再生タイミングに合うようになる。

【0089】このように、ビデオ出力の再生タイミングの方をオーディオ出力の再生タイミングに合わせるのには、以下の理由による。人間はディスプレイ 25 に映し出される動画が数コマ分ずれても、そのずれを検知できないのに対し、スピーカ 27 から出される音声はずれたときには、そのずれを耳につきやすいノイズとして敏感に検知できる。

【0090】ユーザが値 y を調整することは、オーディオ出力とビデオ出力の同期の精度を任意に設定することを可能にする。値 y を大きく設定するほど、 A_i-PTS と V_i-PTS との一致条件の許容範囲が大きくなり、その結果、オーディオ出力とビデオ出力の同期の精度は低くなる。このように、オーディオ出力とビデオ出力の同期の精度が設定可能にされているのは、システムストリームによっては PTS ($PTS(A)$ および $PTS(V)$) が正確に付加されていない場合があるためである。例えば、現在市販されている、いわゆるビデオ CD では、 PTS が正確に付加されていないものが稀に存在する。値 y が、1つのピクチャが再生されている時間の半分よりも大きくなるように設定したのは、それより小さく設定しても、オーディオ出力とビデオ出力の同期の精度は変化しないからである。

【0091】ユーザが値 x を調整することは、オーディオ出力の位相とビデオ出力の位相とを意図的にずらすことを可能にする。この機能は、本実施例を CD-ROM などの蓄積メディアから読み出されたシステムストリームに適用する場合に好適となる。例えば、ユーザが動画を通常の再生速度よりも高速で再生させたときに、オー

ディオ出力とビデオ出力の同期ずれが生じ、その同期ずれを補正する際にその機能を発揮させることができる。動画を通常の再生速度よりも高速で再生させる場合は、ユーザが短時間に動画を見るために早送り再生を行う場合や、見たい動画を検索するために早送り再生または早送り逆転再生を行う場合などであり、その場合にオーディオ出力も再生される。

【0092】(第3実施例) 本発明の第3実施例を図6～図9に従って説明する。本実施例において、第2実施例と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0093】図6は、本実施例のMPEGシステムデコーダ81のブロック回路を示す。システムデコーダ81は、オーディオデコーダ32、MPEGビデオデコーダ82、及びAVパーサ4を備えている。AVパーサ4はDMUX5を備えている。AVパーサ4はオーディオストリーム、SCR、PTS(A)をそれぞれオーディオデコーダ31へ出力し、ビデオストリーム、PTS(V)をそれぞれビデオデコーダ82へ出力する。

【0094】ビデオデコーダ82は、レジスタ21、ビットバッファ22、デコードコア回路23、及び制御回路83を備えている。制御回路83は、A₁-PTSと、ビデオデコーダ82のデコード処理時間と、PTS(V)とを基にビデオ出力の再生時刻を計算し、その計算結果を補正する。そして、その補正結果に従ってデコードコア回路23を制御する。ビデオデコーダ82の内部遅延時間は、第2実施例のビデオデコーダ33の内部遅延時間と同じであり、以下、ビデオデコード遅延時間D(I)という。

【0095】図7は、ビデオデコーダ82のブロック回路を示す。制御回路83は、ライトアドレス検出回路61、リードアドレス検出回路62、ピクチャヘッダ検出回路63、マッピング回路64、レジスタ65、同期判定回路66、第1及び第2比較処理回路67、70、第1及び第2減算回路68、69、リピート判定回路84、スキップ判定回路85、及び各回路61～70、84、85を制御する制御コア回路72を備えている。制御コア回路72は、ビットバッファ22及びデコードコア回路23も制御する。

【0096】リピート判定回路84は、同期判定回路66から生成された各制御信号S_n、SRと、図6に示す入力装置86、87で設定された値z1、z2とを基に、制御信号SR_nを生成する。スキップ判定回路85は、同期判定回路66から生成された各制御信号S_n、SSと、図6に示す入力装置88、89で設定された値w1、w2と、ピクチャヘッダ検出回路63の検出結果に従って、制御信号SS_nを生成する。

【0097】デコードコア回路23は、各制御信号SS、S_n、SRではなく、各制御信号SS_n、S_n、SR_nに従って動作する。制御信号SS_nが生成されていると

き、デコードコア回路23はスキップ動作を行う。制御信号S_nが生成されているとき、デコードコア回路23は通常の動作を行う。更に、制御信号SR_nが生成されているとき、デコードコア回路23はリピート動作を行う。

【0098】図8は、リピート判定回路84のブロック回路を示す。リピート判定回路84は、カウンタ91、92、第1～第3比較処理回路93～95、オア(O_R)回路96を備えている。カウンタ91は制御信号SRが生成される度に、そのカウント値をインクリメントしつつカウント動作する。第1比較処理回路93は、カウンタ91のカウント値と値z1を比較し、カウント値の方が大きい場合に、制御信号SR_nを生成する。O_R回路96は、各制御信号S_n、SR_nのうち少なくともいずれか一方が生成されると、カウンタ91にリセット信号を出力する。カウンタ91はそのリセット信号に応答してカウント値をリセットする。

【0099】第2比較処理回路94は、カウンタ91のカウント値が零よりも大きい場合に、カウンタ92へカウント開始信号を出力する。カウンタ92は、カウント開始信号に応答してカウント動作を開始し、一定の時間毎にカウント値をインクリメントする。第3比較処理回路95は、カウンタ92のカウント値と値z2を比較し、カウント値の方が大きい場合に、制御信号SR_nを生成し、カウンタ92にリセット信号を出力する。カウンタ92はそのリセット信号に応答してカウント値をリセットする。

【0100】第1比較処理回路93はカウンタ91のカウント値により、制御信号SRが値z1よりも多い回数だけ連続して生成されたとき、制御信号SR_nを生成する。従って、制御信号SRが値z1よりも多い回数だけ連続して生成されないと、デコードコア回路23はリピート動作を行わない。このようにするのは、オーディオ出力の再生タイミング(又は、再生時期)よりもビデオ出力の再生タイミングが進んでいない場合でも、同期判定回路66が制御信号SRを誤って生成して、デコードコア回路23がリピート動作を行うことがあるためである。例えば、PTS(A)またはPTS(V)が誤っている場合や、動画が通常の再生速度よりも高速で再生された場合などにおいて、同期判定回路66が制御信号SRを誤って生成することがある。

【0101】そこで、リピート判定回路84は、同期判定回路66が制御信号SRを連続してある一定の回数(=z1)よりも多く生成したときに、その制御信号SRが正しいものと判定し、制御信号SR_nを生成する。デコードコア回路23はその制御信号SR_nに従ってリピート動作を行う。このように制御信号SR_nを生成することは、誤った制御信号SRに従ってデコードコア回路23がリピート動作を行うのを未然に防止する。

【0102】制御信号SRが1回生成されると、カウン

タ 9 2 はカウンタ動作を開始し、その一定時間後には、その時点におけるカウンタ 9 1 のカウンタ値に関係なく、第 3 比較処理回路 9 5 は制御信号 S_{Rm} を生成する。この一定時間は、カウンタ 9 2 のインクリメント速度と値 $z 2$ によって決定される。従って、同期判定回路 6 6 が制御信号 S_R を生成してから一定時間が経過すると、デコードコア回路 2 3 はリピート動作を行う。このようにするのは、制御信号 S_R が正しい場合でも、制御信号 S_R が連続してある一定の回数 ($= z 1$) よりも多く生成されるときは限らないからである。そこで、リピート判定回路 8 4 は、制御信号 S_R が生成されてから一定時間が経過したとき、その制御信号 S_R を正しい信号と判定し、制御信号 S_{Rm} を生成する。デコードコア回路 2 3 は、その制御信号 S_{Rm} に従ってリピート動作を行う。このような第 2 及び第 3 比較処理回路 9 4、9 5 並びにカウンタ 9 2 による動作は、カウンタ 9 1 と第 1 比較処理回路 9 3 と OR 回路 9 6 による動作を補完して、制御信号 S_{Rm} を確実に生成する。

【0103】図 9 は、スキップ判定回路 8 5 のブロック回路を示す。スキップ判定回路 8 5 は、カウンタ 1 0 1、1 0 2、第 1 ~ 第 3 比較処理回路 1 0 3 ~ 1 0 5、オア (OR) 回路 1 0 6、B ピクチャ優先処理回路 1 0 7 を備えている。

【0104】カウンタ 1 0 1 は制御信号 S_S が生成される度に、そのカウンタ値をインクリメントする。第 1 比較処理回路 1 0 3 は、カウンタ 1 0 1 のカウンタ値と値 $w 1$ とを比較し、カウンタ値の方が大きい場合に、制御信号 S_{Sp} を生成する。第 2 比較処理回路 1 0 4 は、カウンタ 1 0 1 のカウンタ値が零よりも大きい場合に、カウンタ 1 0 2 へカウンタ開始信号を出力する。カウンタ 1 0 2 はカウンタ開始信号に反応してカウンタ動作を開始し、一定の時間毎にカウンタ値をインクリメントする。第 3 比較処理回路 1 0 5 は、カウンタ 1 0 2 のカウンタ値と値 $w 2$ とを比較し、カウンタ値の方が大きい場合に、制御信号 S_{Sp} を生成する。

【0105】B ピクチャ優先処理回路 1 0 7 は、制御信号 S_{Sp} とピクチャヘッダ検出回路 6 3 によって検出されたピクチャのタイプ (I, P, B) に従って、制御信号 S_{Sm} を生成する。この制御信号 S_{Sm} は、デコードコア回路 2 3 が I ピクチャまたは P ピクチャよりも B ピクチャを優先してスキップ動作する信号である。OR 回路 1 0 6 は、各制御信号 S_n , S_{Sm} のうち少なくともいずれか一方が生成されると、カウンタ 1 0 1 にリセット信号を出力する。カウンタ 1 0 1 はそのリセット信号に反応してカウンタ値をリセットする。カウンタ 1 0 2 は、制御信号 S_{Sm} が生成されるとカウンタ値をリセットする。第 1 比較処理回路 1 0 3 は、カウンタ 1 0 1 のカウンタ値に応じて、制御信号 S_S が値 $w 1$ よりも多い回数だけ連続して生成されたとき、制御信号 S_{Sp} を生成する。B ピクチャ優先処理回路 1 0 7 は、その制御信号 S_{Sp} とピク

チャのタイプ (I, P, B) に従って制御信号 S_{Sm} を生成する。従って、制御信号 S_S が値 $w 1$ よりも多い回数だけ連続して生成されないと、デコードコア回路 2 3 はスキップ動作を行わない。このようにするのは、オーディオ出力の再生タイミングよりもビデオ出力の再生タイミングが進んでいない場合でも、同期判定回路 6 6 が制御信号 S_S を誤って生成することがあるためである。例えば、PTS (A) または PTS (V) が誤っている場合や、動画が通常の再生速度よりも高速で再生された場合などにおいて、同期判定回路 6 6 が制御信号 S_S を誤って生成することがある。

【0106】そこで、スキップ判定回路 8 5 は、同期判定回路 6 6 が制御信号 S_S を連続してある一定の回数 ($= w 1$) よりも多く生成したときに、その制御信号 S_S を正しいものと判定して、制御信号 S_{Sp} を生成する。デコードコア回路 2 3 はその制御信号 S_{Sp} に従ってスキップ動作を行う。このように制御信号 S_{Sp} を生成することは、誤った制御信号 S_S に従ってデコードコア回路 2 3 がスキップ動作を行うのを未然に防止する。

【0107】ところで、B ピクチャは双方向予測によって生成されるため、データ量は少なく、その重要度は I ピクチャや P ピクチャに比べて低くなる。従って、重要度の低い B ピクチャを優先してスキップ再生させることは、再生される動画に生じるコマ落ちを少なくする。

【0108】制御信号 S_S が 1 回生成されると、カウンタ 1 0 2 はカウンタ動作を開始し、その一定時間後には、その時点におけるカウンタ 1 0 1 のカウンタ値に関係なく、第 3 比較処理回路 1 0 5 は制御信号 S_{Sp} を生成する。この一定時間は、カウンタ 1 0 2 のインクリメント速度と値 $w 2$ によって決定される。従って、同期判定回路 6 6 が制御信号 S_S を生成してから一定時間が経過すると、デコードコア回路 2 3 はスキップ動作を行う。このようにするのは、制御信号 S_S が正しい場合でも、制御信号 S_S が連続してある一定の回数 ($= w 1$) よりも多く生成されるときは限らないからである。そこで、スキップ判定回路 8 5 は、制御信号 S_S が生成されてから一定時間が経過したとき、その制御信号 S_S を正しい信号と判定し、制御信号 S_{Sp} を生成する。デコードコア回路 2 3、その制御信号 S_{Sp} に従ってスキップ動作を行う。このように第 2 及び第 3 比較処理回路 1 0 4、1 0 5 並びにカウンタ 1 0 2 の動作は、カウンタ 1 0 1 と第 1 比較処理回路 1 0 3 と OR 回路 1 0 6 の動作を補完して、制御信号 S_{Sp} を確実に生成する。

【0109】本実施例においては、何らかの原因によって誤った各制御信号 S_R , S_S が生成された場合でも、各判定回路 8 4、8 5 が各制御信号 S_R , S_S を補正して、各制御信号 S_{Rm} , S_{Sm} を生成する。デコードコア回路 2 3 は各制御信号 S_{Rm} , S_{Sm} に従って動作 (スキップ動作、リピート動作) する。このことは、誤った各制御信号 S_R , S_S が生成された場合でも、オーディオ出力

とビデオ出力の同期を確実にとることを可能にする。

【0110】ユーザが各値 z_1 , z_2 , w_1 , w_2 を入力装置 86 ~ 89 でそれぞれ設定することは、各判定回路 84, 85 における各制御信号 SR , SS の補正の度合いの調整を可能にする。スキップ再生を行う場合に重要度の低い B ピクチャを I ピクチャや P ピクチャよりも優先してスキップ再生させることは、再生される動画に生じるコマ落ちを少なくし、かつ動画の動きを滑らかなものにして、その結果、画質を向上させることができる。

【0111】尚、上記各実施例は以下のように変更してもよい。

(1) 第 2, 3 実施例において、サンプリング周波数検出回路 53 および加算回路 54 を省く。この場合には、 $\Theta P T S$ をリアルタイムに生成することができなくなるため、 $\# P T S$ の生成精度は低下する。しかし、この場合でも、オーディオ出力とビデオ出力の同期を第 1 実施例よりもさらに確実にとることができる。そして、オーディオストリームに多くの $P T S (A)$ が付加されている場合には、第 2, 3 実施例と同程度の性能を得ることもできる。

【0112】(2) 第 2, 3 実施例において、 $\Theta P T S$ の代わりに $P T S (A)$ から $[V] P T S$ を減算した値を減算回路 69 から生成させる。この場合には、 $P T S (A)$ と、ビデオデコード遅延時間 $D (I)$ と、値 x とに基づいて $P T S (V)$ が補正され、 $\# P T S$ が生成される。この場合には、オーディオデコード 32 の内部遅延時間に基づいてデコードコア回路 23 の動作を制御することができなくなるが、オーディオ出力の再生タイミングに合わせてビデオ出力の再生タイミングが制御されることには変わりはない。そのため、オーディオデコード 32 の内部遅延時間が小さい場合には、第 2, 3 実施例と同程度の性能を得ることもできる。但し、この場合、制御回路 14 は、第 1 実施例と同様に、オーディオデコード 32 の内部遅延時間と SCR および $P T S (A)$ とを基にオーディオ出力の再生時刻 (再生タイミング) を計算し、その計算結果に従ってデコードコア回路 13 を制御する。

【0113】(3) 第 2, 3 実施例において、値 x を省く。また、値 y を固定にする。この場合には、各値 x , y に関する機能が省かれるだけで、その他の作用および効果については上記各実施例と同じである。

【0114】(4) 第 3 実施例において、リピート判定回路 84 から各比較処理回路 94, 95 およびカウンタ 92 を省く。この場合には、各回路 94, 95, 92 に関する機能が省かれるだけで、その他の作用および効果については上記実施例と同じである。

【0115】(5) 第 3 実施例において、スキップ判定回路 85 から各比較処理回路 104, 105 およびカウンタ 102 を省く。また、スキップ判定回路 85 から B ピクチャ優先処理回路 107 を省く。この場合には、各

回路 104, 105, 102, 107 に関する機能が省かれるだけで、その他の作用および効果については上記実施例と同じである。

【0116】(6) 第 2, 3 実施例において、レジスタ 21 を 1 段のスタックで構成する。この場合、レジスタ 21 のスタック段数が多くなるほど利用できる $P T S (V)$ も多くなるが、レジスタ 21 の容量も増えることになる。従って、レジスタ 21 のスタック段数は、回路規模およびコストと要求される性能とに基づいて、適宜に設定すればよい。

【0117】(7) 第 3 実施例において、各比較処理回路 94, 104 は、各カウンタ 91, 101 のカウント値が零以上の所定値よりも大きい場合に、各カウンタ 92, 102 のカウント動作をスタートさせる。

【0118】(8) $P T S$ を $D T S$ に置き換え、上記実施例と同様に実施する。この場合にも、上記実施例と同様の作用および効果を得ることができる。以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

【0119】(イ) 請求項 3 に記載の $M P E G$ システムデコーダにおいて、前記外部から指定された第 2 の値は、1 つのピクチャの再生されている時間の半分よりも大きくなるように設定されている $M P E G$ システムデコーダ。

【0120】このようにすれば、各出力の同期を最適に調整することができる。

(ロ) 請求項 3 に記載の $M P E G$ システムデコーダにおいて、前記サンプリング周波数は 44.1 kHz である $M P E G$ システムデコーダ。

【0121】このようにすれば、可聴周波数帯域を十分にカバーすることができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

【0122】(a) 分離手段はオーディオビデオパーサから構成されるものとする。

(b) 第 1 のリピート有効化手段は、カウンタ 91、比較処理回路 93、OR 回路 96 から構成される。

【0123】(c) 第 2 のリピート有効化手段は、カウンタ 92、比較処理回路 94, 95 から構成される。

(d) 第 1 のスキップ有効化手段は、カウンタ 101、比較処理回路 103、OR 回路 106 から構成される。

【0124】(e) 第 2 のスキップ有効化手段は、カウンタ 102、比較処理回路 104, 105 から構成される。

(f) 第 1 の値は値 x であり、第 2 の値は値 y である。

【0125】(g) 第 2 のレジスタはレジスタ 65、第 1 の比較処理回路は比較処理回路 67、第 2 の比較処理回路は比較処理回路 70、第 1 の減算回路は減算回路 68、第 2 の減算回路は減算回路 69 である。

【0126】(h) タイムスタンプは、PTS だけでなく DTS をも含むものとする。

【0127】

【発明の効果】オーディオ出力とビデオ出力の同期を十分にとることが可能なデコーダおよび MPEG システムデコーダを提供することができる。

【図面の簡単な説明】

【図 1】第 1 実施例のブロック回路図。

【図 2】第 2 実施例のブロック回路図。

【図 3】第 2 実施例の要部ブロック回路図。

【図 4】第 2 実施例の要部ブロック回路図。

【図 5】第 2 実施例を説明するための説明図。

【図 6】第 3 実施例のブロック回路図。

【図 7】第 3 実施例の要部ブロック回路図。

【図 8】第 3 実施例の要部ブロック回路図。

【図 9】第 3 実施例の要部ブロック回路図。

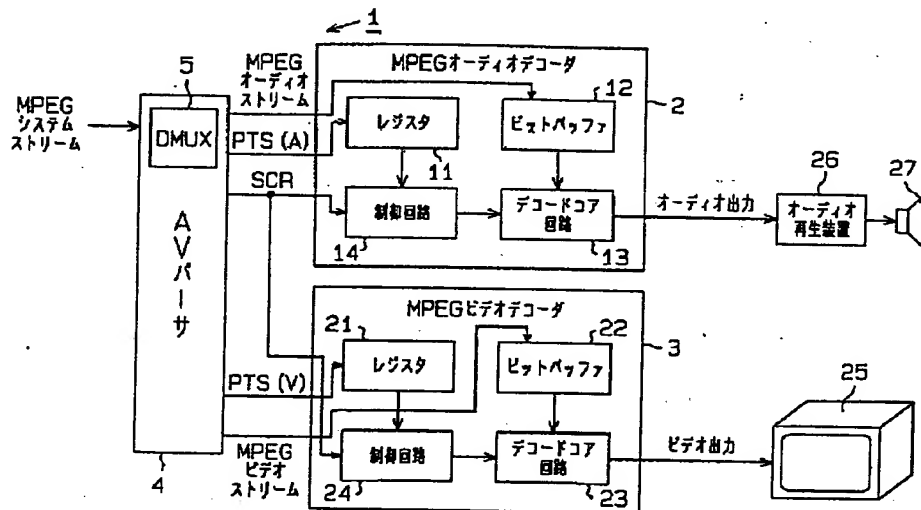
【図 10】MPEG システムストリームを説明するための説明図。

【図 11】従来例のブロック回路図。

【符号の説明】

- 1, 31 MPEG システムデコーダ
- 2, 32 MPEG オーディオデコーダ
- 3, 33, 82 MPEG ビデオデコーダ
- 4 オーディオビデオパーサ
- 5 DMUX
- 10 11, 21 レジスタ
- 12, 22 ビットバッファ
- 13, 23 デコードコア回路
- 14, 24, 42, 83 制御回路
- 41 タイムスタンプ生成回路
- 84 リピート判定回路
- 85 スキップ判定回路

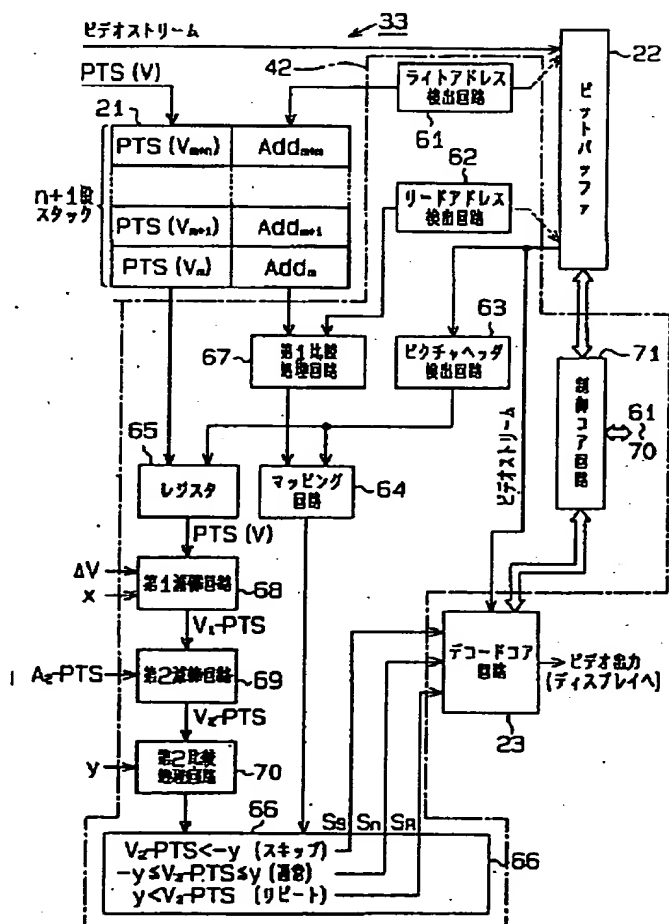
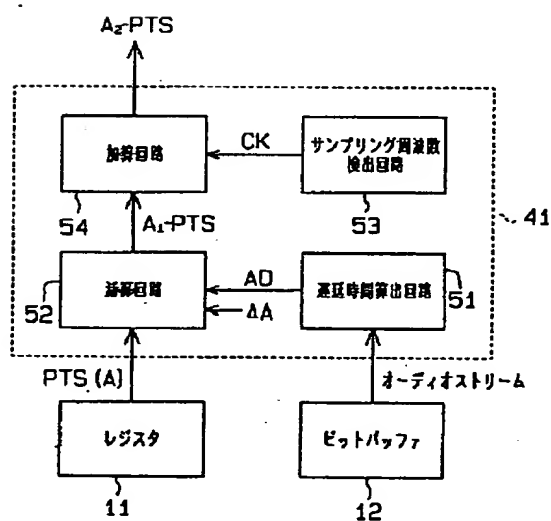
【図 1】



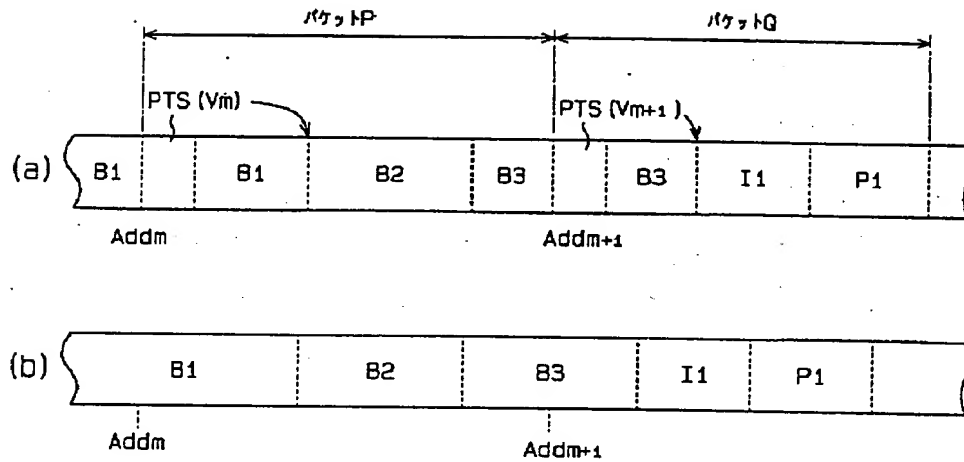
The diagram illustrates the internal structure of an MPEG system (4) for processing audio and video streams. It consists of several main components:

- AV Parser (5):** Receives the MPEG system stream and separates it into an MPEG audio stream and an MPEG video stream.
- Audio Processing Block (32):**
 - Inputs: MPEG audio stream, PTS (A), and SCR.
 - Components:
 - レジスタ (11):** Receives PTS (A) and outputs to the **ビットバッファ (12)** and **制御回路 (14)**.
 - タイムスタンプ生成回路 (41):** Receives input from the register and outputs **A₂-PTS** (31).
 - ビットバッファ (12):** Receives data from the register and outputs to the **デコードコア回路 (13)**.
 - 制御回路 (14):** Receives input from the register and outputs to the **デコードコア回路 (13)**.
 - デコードコア回路 (13):** Receives data from the bit buffer and control circuit, and outputs **オーディオ出力** (audio output).
- Video Processing Block (33):**
 - Inputs: MPEG video stream, PTS (V), and **A₂-PTS** (43).
 - Components:
 - レジスタ (21):** Receives PTS (V) and outputs to the **ビットバッファ (22)** and **制御回路 (23)**.
 - ビットバッファ (22):** Receives data from the register and outputs to the **デコードコア回路 (23)**.
 - 制御回路 (23):** Receives input from the register and outputs to the **デコードコア回路 (23)**.
 - デコードコア回路 (23):** Receives data from the bit buffer and control circuit, and outputs **ビデオ出力** (video output).
 - タイムスタンプ生成回路 (42):** Receives **A₂-PTS** (43) and outputs **X, Y** (44) to the **制御回路 (23)**.
- Output Stage:**
 - オーディオ再生装置 (26):** Receives the audio output and outputs to a speaker (27).
 - ビデオ再生装置 (25):** Receives the video output and displays it on a screen.

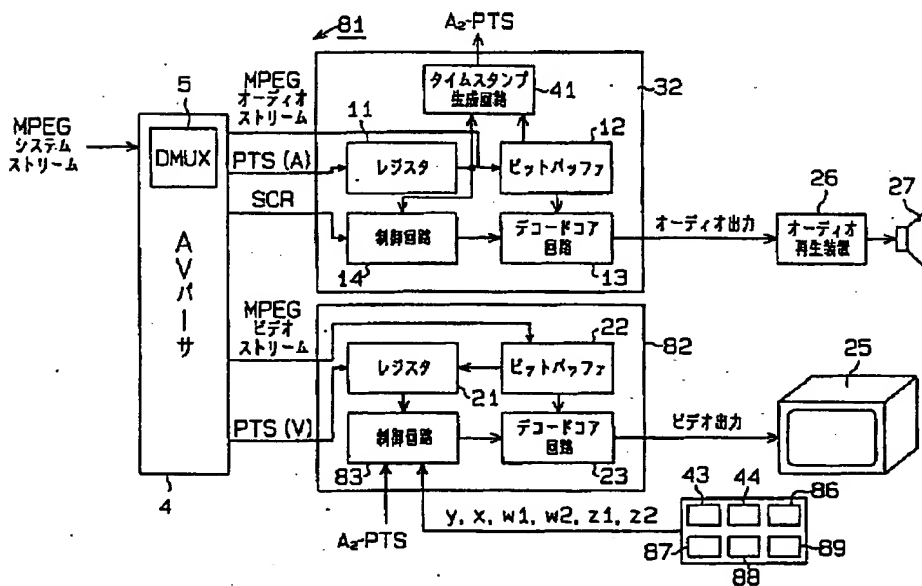
【图 4】



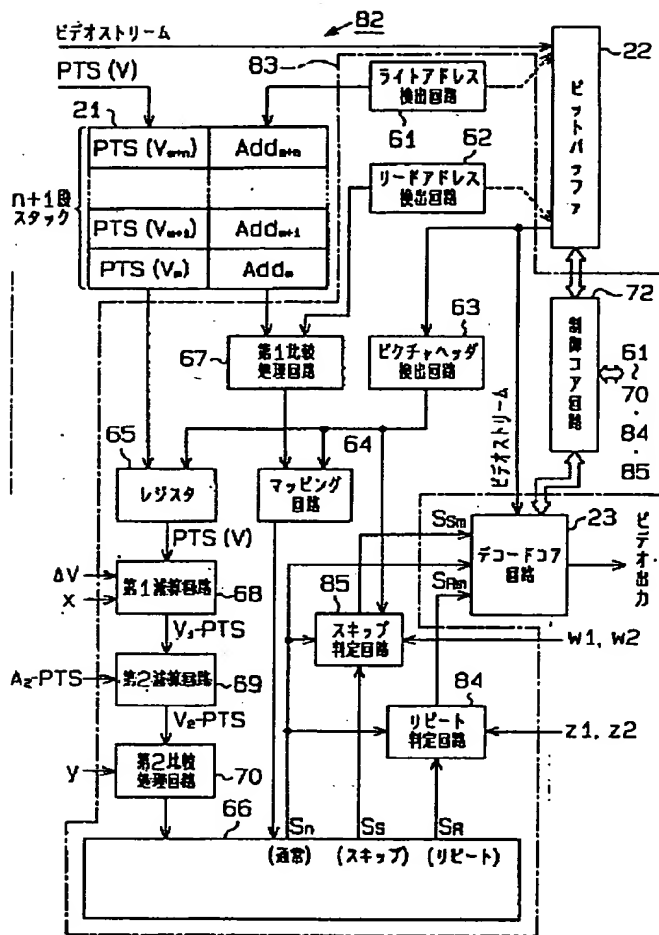
【 図 5 】



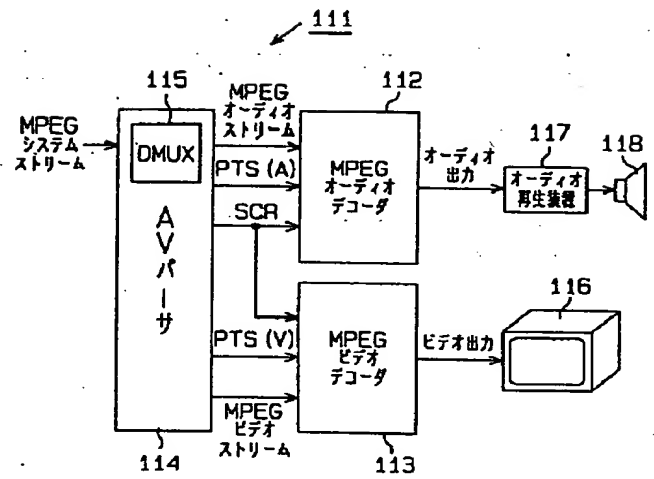
【 図 6 】



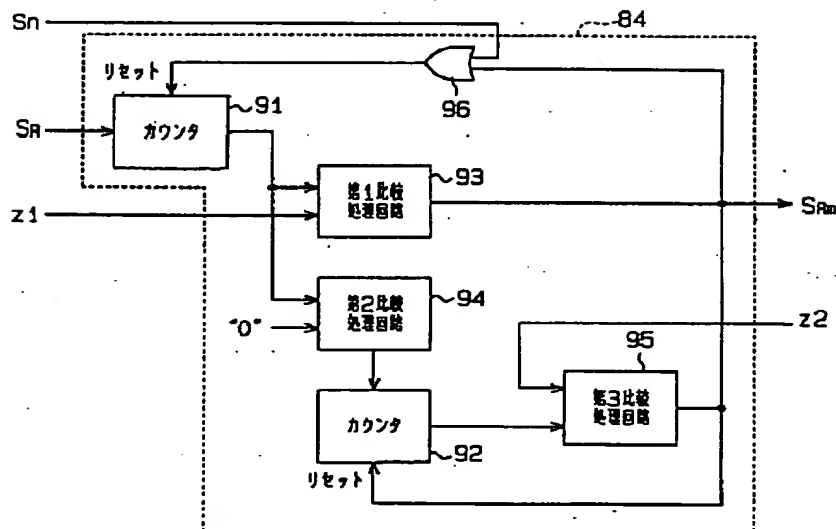
【 図 7 】



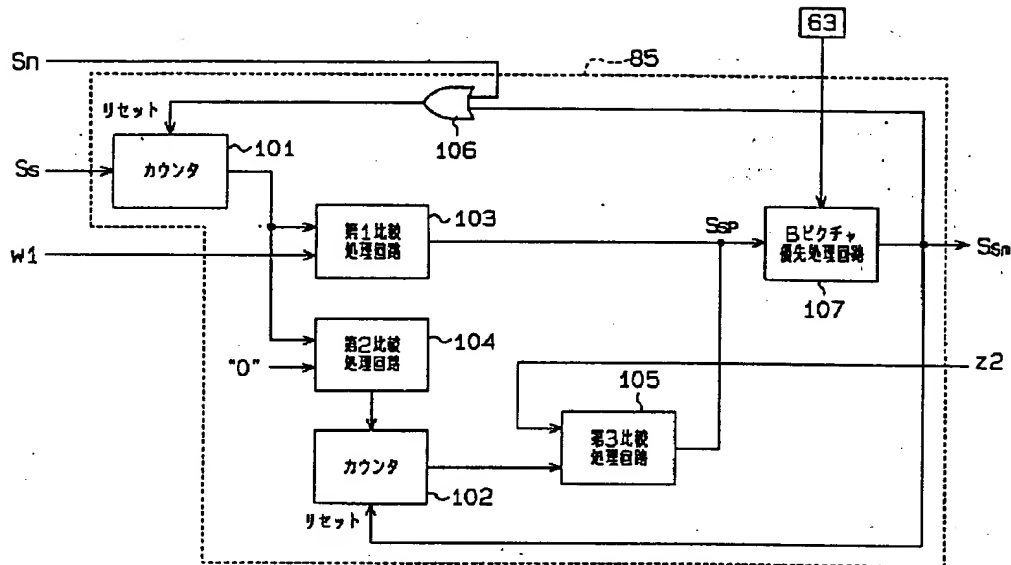
【 図 11 】



【 図 8 】



【 図 9 】



【 図 10 】

